

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of	)	
	)	
Kiyoshi ADACHI et al.	)	Group Art Unit: Unassigned
	)	
Application No.: Unassigned	)	Examiner: Unassigned
	)	
Filed: November 19, 2003	)	Confirmation No.: Unassigned
	)	
For: COMMUNICATION DEVICE	)	
PERFORMING COMMUNICATION	)	
USING TWO CLOCK SIGNALS	)	
COMPLEMENTARY TO EACH OTHER	)	

**SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2003-033765

Filed: February 12, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: November 19, 2003

By: 

Platon N. Mandros  
Registration No. 22,124

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2003年 2月12日  
February 12, 2003

出 願 番 号  
Application Number:

特願2003-033765

[ST.10/C]:

[JP2003-033765]

出 願 人  
Applicant(s):

三菱電機株式会社

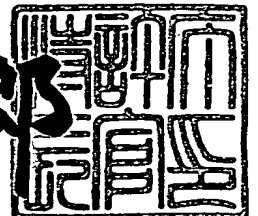
Mitsubishi Denki Kabushiki Kaisha

2003年 3月14日  
March 14, 2003

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎

Shinichiro Ota



出証番号 出証特2003-3016299

Shutsu-sho No. Shutsu-sho-toku 2003-3016299

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2003年 2月12日

出 願 番 号  
Application Number:

特願2003-033765

[ST.10/C]:

[JP2003-033765]

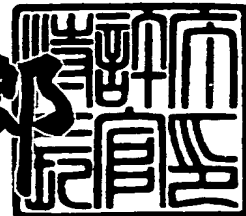
出 願 人  
Applicant(s):

三菱電機株式会社

2003年 3月14日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3016299

【書類名】 特許願

【整理番号】 542782JP01

【提出日】 平成15年 2月12日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/02

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 安達 聖

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 小松 壇一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 内海 崇

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 原口 喜行

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 高坂 広之

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 横山 正浩

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 通信装置

【特許請求の範囲】

【請求項 1】 互いに相補な第 1 および第 2 のクロック信号を用いて通信を行なう通信装置であって、

受信した前記第 1 および第 2 のクロック信号の電位振幅が予め定められた値よりも大きい場合は、データ通信状態であると判定して第 1 の信号を出力し、前記第 1 および第 2 のクロック信号の電位振幅が前記予め定められた値以下である場合は、非データ通信状態であると判定して第 2 の信号を出力するスケルチ検出回路、および

前記スケルチ検出回路から第 2 の信号が出力された場合は前記通信装置を初期化する初期化回路を備える、通信装置。

【請求項 2】 さらに、受信した前記第 1 および第 2 のクロック信号に基づいてデータ信号を再生するレシーバを備え、

前記レシーバは、

それらの一方電極がそれぞれ前記第 1 および第 2 のクロック信号を受ける第 1 および第 2 のコンデンサ、および

それらのゲートがそれぞれ前記第 1 および第 2 のコンデンサの他方電極に接続され、それらの第 1 の電極が互いに接続された第 1 および第 2 のトランジスタを含み、前記第 1 および第 2 のトランジスタのゲートの電位差を増幅する差動増幅回路を含み、

前記初期化回路は、前記スケルチ検出回路から第 2 の信号が出力された場合は前記第 1 および第 2 のトランジスタのゲートの電位を予め定められた電位にする、請求項 1 に記載の通信装置。

【請求項 3】 さらに、受信した前記第 1 および第 2 のクロック信号に基づいてデータ信号を再生するレシーバ、および

前記レシーバで生成された前記データ信号に同期して内部クロック信号を出力する内部クロック発生回路を備え、

前記内部クロック発生回路は、

前記データ信号と前記内部クロック信号の周波数を比較し、比較結果に応じた周波数差信号を出力する周波数比較回路、

前記データ信号と前記内部クロック信号の位相を比較し、比較結果に応じた位相差信号を出力する位相比較回路、

前記周波数差信号および前記位相差信号に応答して正電流または負電流を選択的に出力するチャージポンプ、

前記チャージポンプの出力電流を蓄積して制御電圧を出力するキャパシタを含むループフィルタ、および

前記制御電圧に応じた周波数のクロック信号を前記内部クロック信号として出力する電圧制御発振器を含み、

前記初期化回路は、前記スケルチ検出回路から第2の信号が出力された場合は前記制御電圧を予め定められた値にする、請求項1に記載の通信装置。

【請求項4】 前記初期化回路は、

各々が予め定められた抵抗値を有する第1および第2の抵抗素子、および

前記スケルチ検出回路から第2の信号が出力された場合は、前記第1の抵抗素子を電源電位のラインと前記ループフィルタの出力ノードとの間に接続するとともに、前記第2の抵抗素子を基準電位のラインと前記ループフィルタの出力ノードとの間に接続する切換回路を含む、請求項3に記載の通信装置。

【請求項5】 前記初期化回路は、前記スケルチ検出回路から第1の信号が出力された場合は、前記データ信号を前記周波数比較回路および前記位相比較回路に与え、前記スケルチ検出回路から第2の信号が出力された場合は、予め定められた周波数の参照クロック信号を前記周波数比較回路および前記位相比較回路に与える切換回路を含む、請求項3に記載の通信装置。

【請求項6】 前記初期化回路は、前記スケルチ検出回路から第1の信号が出力された場合は、前記データ信号を前記周波数比較回路に与え、前記スケルチ検出回路から第2の信号が出力された場合は、予め定められた周波数の参照クロック信号を前記周波数比較回路に与える切換回路を含む、請求項3に記載の通信装置。

【発明の詳細な説明】



【0 0 0 1】

【発明の属する技術分野】

この発明は通信装置に関し、特に、互いに相補な第1および第2のクロック信号を用いて通信を行なう通信装置に関する。

【0 0 0 2】

【従来の技術】

通信装置において、制御信号やクロック信号を送信するための専用信号線を使用せずにデータ信号線のみを使用して通信装置間でデータ通信を行なう場合、通信開始を示す信号のやりとりをデータ信号線で行なう。データ信号の転送速度や先頭位置は通信開始まで確定しない状態にあるため、通信開始時に通信シーケンスの初期化を行なうなど、通常のデータ通信とは異なる通信方法が必要となる。

【0 0 0 3】

従来の通信装置では、通信開始時に非データ通信状態を示すスケルチ信号とデータ通信状態におけるデータ信号とを交互に一定の時間間隔で送出することにより、通信シーケンスの初期化を行なって同期タイミングを調整しているものがある（たとえば、非特許文献1参照）。この場合、非データ通信時においても通信装置を動作させてスケルチ信号を監視する。また、システムの初期化を行なう場合や低消費電力状態に遷移させる場合、システムリセット信号や制御信号を使用して、システムを初期化または停止させる方法をとっている。

【0 0 0 4】

また、レシーバ制御装置がレシーバの受信データに基づいてデータ受信状態か受信待機状態かを判定し、データ受信時には応答速度の速いレシーバを使用して、受信待機時には応答速度の遅いレシーバを使用することによって、データ受信時の受信性能を低下させることなく受信待機時に消費電力を抑えることが可能な通信制御用半導体装置も提案されている（たとえば、特許文献1参照）。

【0 0 0 5】

また、トランシーバにおいて測定信号によって表わされる電流がとり得る最大値と最小値の中間値をしきい値電流として、測定信号によって表わされる電流としきい値電流とを比較することで、非データ通信状態においてトランシーバへの

電力供給を絶つことによって、低消費電力化を図ったものもある（たとえば、特許文献2参照）。

【0006】

また、現用装置と予備装置とを備えるデジタル装置の障害状態を監視する方式において、予備装置の障害監視を現用装置の障害監視に比べて低速クロック信号で動作させることによって、低消費電力化を図ったものもある（たとえば、特許文献3参照）。

【0007】

【特許文献1】

特開平6-132987号公報

【0008】

【特許文献2】

特開平5-91157号公報

【0009】

【特許文献3】

特開平6-54032号公報

【0010】

【非特許文献1】

「6. 7. 4. 2 コムリセット (COMRESET)」, シリアルATA: 高速シリアル化ATAアタッチメント (Serial ATA: High Speed Serialized AT Attachment), (米国), 改訂1. 0版, シリアルATAワーキンググループ (Serial ATA Working Group), 2001年8月29日, p. 91-92

【0011】

【発明が解決しようとする課題】

しかし、上記非特許文献1に示した方法では、非データ通信状態を示すスケルチ信号を、データ通信開始前における受信状態を知るための信号としてのみ利用していた。すなわち、スケルチ信号を直接システムを制御するための信号としては利用せず、システムリセット信号や制御信号によってシステムを制御していたため、非データ通信状態からデータ通信状態に遷移するまでに時間がかかっている

た。

【0012】

また、上記特許文献1および2に示した方法では、非データ通信時においてレシーバおよびトランシーバの低消費電力化を可能とすることを目的とし、上記特許文献3に示した方法では、予備装置の障害監視を低速クロック信号で動作させることにより低消費電力化を可能とすることを目的としている。

【0013】

それゆえに、この発明の主たる目的は、非データ通信状態からデータ通信状態に迅速かつ安定に遷移することが可能な通信装置を提供することである。

【0014】

【課題を解決するための手段】

この発明に係る通信装置は、互いに相補な第1および第2のクロック信号を用いて通信を行なう通信装置であって、受信した第1および第2のクロック信号の電位振幅が予め定められた値よりも大きい場合は、データ通信状態であると判定して第1の信号を出力し、第1および第2のクロック信号の電位振幅が予め定められた値よりも小さい場合は、非データ通信状態であると判定して第2の信号を出力するスケルチ検出回路と、スケルチ検出回路から第2の信号が出力された場合は通信装置を初期化する初期化回路とを備えたものである。

【0015】

【発明の実施の形態】

〔実施の形態1〕

図1は、この発明の実施の形態1による通信装置の構成を示すブロック図である。図1において、この通信装置は、入力端子1、2、スケルチ検出回路3、レシーバ4、受信PLL (Phase Locked Loop: 位相同期ループ) 回路5、スイッチ回路6、12、デシリアライザ7、システムPLL回路8、送受信制御回路9、データ処理回路10、送信PLL回路11、シリアライザ13、ドライバ14および出力端子15、16を備える。

【0016】

入力端子1、2には、外部からの信号Rx+, Rx-が入力される。スケルチ

検出回路 3 は、入力端子 1, 2 に入力された信号  $R_{x+}$ ,  $R_{x-}$  の電位振幅の大きさを検出し、検出結果に基づいてスケルチ信号  $SQ$  を出力する。図 2 (a) (b) は、スケルチ検出回路 3 の入力信号  $R_{x+}$ ,  $R_{x-}$  と、スケルチ検出回路 3 から出力されるスケルチ信号  $SQ$  との関係を示す波形図である。図 2 (a) (b) において、横軸は時間、縦軸は電位を示す。

## 【0017】

信号  $R_{x+}$ ,  $R_{x-}$  は、基準電位  $V_{TT}$  を中心にして電位が変動する互いに相補なクロック信号である。データ通信状態において、「0」を表わす信号  $R_{x+}$ ,  $R_{x-}$  の電位振幅は  $V_1$  であり、「1」を表わす信号  $R_{x+}$ ,  $R_{x-}$  の電位振幅は  $V_2$  ( $< V_1$ ) である。非データ通信状態において、信号  $R_{x+}$ ,  $R_{x-}$  の電位振幅は  $V_3$  である。スケルチ検出回路 3 は、信号  $R_{x+}$ ,  $R_{x-}$  の電位振幅がしきい値電圧  $V_4$  ( $< V_2$ ) よりも大きいときはスケルチ信号  $SQ$  を「L」レベルにし、信号  $R_{x+}$ ,  $R_{x-}$  の電位振幅がしきい値電圧  $V_4$  ( $> V_3$ ) 以下であるときはスケルチ信号  $SQ$  を「H」レベルにする。

## 【0018】

レシーバ 4 は、スケルチ信号  $SQ$  が「H」レベルの場合は初期化され、スケルチ信号  $SQ$  が「L」レベルの場合は入力端子 1, 2 からの信号  $R_{x+}$ ,  $R_{x-}$  に応答してデータ信号  $RD$  を出力する。受信 PLL 回路 5 は、スケルチ信号  $SQ$  が「H」レベルの場合は初期化され、スケルチ信号  $SQ$  が「L」レベルの場合はレシーバ 4 の出力データ信号  $RD$  の転送速度に対応したクロック信号  $R_{CLK}$  を出力する。スイッチ回路 6 は、スケルチ信号  $SQ$  が「L」レベルの場合は導通して受信 PLL 回路 5 の出力クロック信号  $R_{CLK}$  をデシリアライザ 7 に伝達し、スケルチ信号  $SQ$  が「H」レベル場合は非導通になってクロック信号  $R_{CLK}$  をデシリアライザ 7 に伝達しない。デシリアライザ 7 は、スイッチ回路 6 を介して入力されたクロック信号  $R_{CLK}$  に同期して動作し、レシーバ 4 の出力データ信号  $RD$  を予め定められたデータ個数 (図では 10 個) 毎に区切ってパラレルのデータ信号に変換し、データ処理回路 10 に出力する。

## 【0019】

システム PLL 回路 8 は、スケルチ信号  $SQ$  が「H」レベルの場合は非活性化

され、スケルチ信号 S Q が「L」レベルの場合はシステムクロック信号 S C L K を生成して出力する。送受信制御回路 9 は、スケルチ信号 S Q が「L」レベルの場合に活性化され、システム P L L 回路 8 から与えられたシステムクロック信号 S C L K に同期して動作し、外部から入力された送受信設定信号に基づいてデータ処理回路 10 に制御信号 C および基準クロック信号 C L K を出力するとともに、システムの状態を表わす送受信状態信号を外部に出力する。

#### 【0020】

データ処理回路 10 は、送受信制御回路 9 からの制御信号 C および基準クロック信号 C L K に基づいて動作し、デシリアライザ 7 からのパラレルデータ信号をデータ処理して外部に複数ビットの受信データ（パラレルデータ）として出力する。また、外部から入力された複数ビットの送信データ（パラレルデータ）をデータ処理してシリアライザ 13 に出力する。

#### 【0021】

送信 P L L 回路 11 は、スケルチ信号 S Q が「H」レベルの場合は非活性化され、スケルチ信号 S Q が「L」レベルの場合はクロック信号 T x C L K を生成して出力する。スイッチ回路 12 は、スケルチ信号 S Q が「L」レベルの場合は導通して送信 P L L 回路 11 の出力クロック信号 T x C L K をシリアライザ 13 に伝達し、スケルチ信号 S Q が「H」レベルの場合は非導通になってクロック信号 T x C L K をシリアライザ 13 に伝達しない。シリアライザ 13 は、スイッチ回路 12 を介して入力されたクロック信号 T x C L K に同期して動作し、データ処理回路 10 からのパラレルデータ信号を、連続した一組のシリアルデータ信号 T D に変換して出力する。ドライバ 14 は、スケルチ信号 S Q が「H」レベルの場合は非活性化され、スケルチ信号 S Q が「L」レベルの場合はシリアライザ 13 からのシリアルデータ信号 T D を互いに相補なクロック信号 T x +, T x - に変換して出力端子 15, 16 に出力する。

#### 【0022】

以下、この通信装置の特徴となるレシーバ 4 および受信 P L L 回路 5 の初期化方法について詳細に説明する。図 3 は、レシーバ 4 の構成を示す回路図である。図 3 において、このレシーバ 4 は、コンデンサ 21, 22、差動増幅回路 23、

初期化回路 24 および振幅判定回路 25 を備える。

【0023】

コンデンサ 21, 22 は、入力端子 1, 2 と差動増幅回路 23 との間に設けられ、入力端子 1, 2 に入力された信号  $R_{x+}$ ,  $R_{x-}$  から直流成分を除去して、信号  $R_{x+}$ ,  $R_{x-}$  の振幅成分のみを差動増幅回路 23 に伝達する。

【0024】

差動増幅回路 23 は、PチャネルMOSトランジスタ 26, 27、NチャネルMOSトランジスタ 28~30 を含む。PチャネルMOSトランジスタ 26 は電源電位  $V_{DD}$  のラインとノード  $N_{23}$  との間に接続され、PチャネルMOSトランジスタ 27 は電源電位  $V_{DD}$  のラインと出力ノード  $N_{24}$  との間に接続される。PチャネルMOSトランジスタ 26, 27 のゲートはともにノード  $N_{23}$  に接続される。PチャネルMOSトランジスタ 26, 27 はカレントミラー回路を構成する。NチャネルMOSトランジスタ 28 はノード  $N_{23}$  とノード  $N_{25}$  との間に接続され、NチャネルMOSトランジスタ 29 は出力ノード  $N_{24}$  とノード  $N_{25}$  との間に接続される。NチャネルMOSトランジスタ 28 のゲートは、コンデンサ 21 を介して入力端子 1 に接続され、NチャネルMOSトランジスタ 29 のゲートはコンデンサ 22 を介して入力端子 2 に接続される。NチャネルMOSトランジスタ 30 は、ノード  $N_{25}$  と接地電位  $GND$  のラインとの間に接続され、そのゲートは電源電位  $V_{DD}$  を受ける。NチャネルMOSトランジスタ 30 は、抵抗素子を構成する。

【0025】

NチャネルMOSトランジスタ 28 には、そのゲートに現われる信号  $A_{x+}$  の電位に応じたレベルの電流が流れる。NチャネルMOSトランジスタ 28 とPチャネルMOSトランジスタ 26 は直列接続され、PチャネルMOSトランジスタ 26, 27 はカレントミラー回路を構成しているので、MOSトランジスタ 26 ~ 28 には同じ値の電流が流れる。一方、NチャネルMOSトランジスタ 29 には、そのゲートに現われる信号  $A_{x-}$  の電位に応じたレベルの電流が流れる。

【0026】

信号  $A_{x+}$  の電位が信号  $A_{x-}$  の電位よりも高くなると、PチャネルMOSト

ランジスタ 27 に流れる電流が N チャンネル MOS トランジスタ 29 に流れる電流よりも大きくなり、差動増幅回路 23 の出力電位  $V_O$  が上昇する。また、信号  $A_{x+}$  の電位が信号  $A_{x-}$  の電位よりも低くなると、P チャンネル MOS トランジスタ 27 に流れる電流が N チャンネル MOS トランジスタ 29 に流れる電流よりも小さくなり、差動増幅回路 23 の出力電位  $V_O$  が低下する。

## 【0027】

図 4 (a) (b) (c) は、差動増幅回路 23 の増幅特性を示す図である。図 4 (a) (b) (c) において、差動増幅回路 23 の入力信号  $A_{x+}$ ,  $A_{x-}$  は基準電位  $V_{TT}$  を中心として電位振幅  $W_I$  で変動する信号であり、横軸は信号  $A_{x-}$  の電位  $V_I$ 、縦軸は差動増幅回路 23 の出力電位  $V_O$  を示す。図 4 (a) は、信号  $A_{x+}$ ,  $A_{x-}$  の基準電位  $V_{TT}$  が最適である場合の図、図 4 (b) は、信号  $A_{x+}$ ,  $A_{x-}$  の基準電位  $V_{TT}$  が高すぎる場合の図、図 4 (c) は、信号  $A_{x+}$ ,  $A_{x-}$  の基準電位  $V_{TT}$  が低すぎる場合の図である。

## 【0028】

図 4 (a) において、信号  $A_{x+}$ ,  $A_{x-}$  の基準電位  $V_{TT}$  は最適な値  $V_{TTM}$  である。特性曲線  $L_1$  は、信号  $A_{x+}$  の電位をその最大値に固定した場合における、信号  $A_{x-}$  の電位  $V_I$  に対する出力電位  $V_O$  を示す曲線である。特性曲線  $L_2$  は、信号  $A_{x+}$  の電位をその最小値に固定した場合における、信号  $A_{x-}$  の電位  $V_I$  に対する出力電位  $V_O$  を示す曲線である。

## 【0029】

図 5 (a) は、信号  $A_{x+}$ ,  $A_{x-}$  の電位が互いに等しくなるようにした場合の差動増幅回路 23 の構成を示す回路図である。図 5 (a) において、N チャンネル MOS トランジスタ 28, 29 のゲートはともにノード  $N_{26}$  に接続される。この場合の差動増幅回路 23 の増幅特性は図 4 (a) に破線で示した特性曲線  $L_3$  で表わされる。信号  $A_{x+}$ ,  $A_{x-}$  の電位が低いときは、N チャンネル MOS トランジスタ 28, 29 に流れる電流が小さくなり、P チャンネル MOS トランジスタ 26, 27 による電圧降下が小さくなるので出力電位  $V_O$  は比較的高い値になる。信号  $A_{x+}$ ,  $A_{x-}$  の電位が高いときは、N チャンネル MOS トランジスタ 28, 29 に流れる電流が大きくなり、P チャンネル MOS トランジスタ 26, 27

による電圧降下が大きくなるので出力電位 $V_O$ は比較的低い値になる。

【0030】

図5 (b) は、さらに出力電位 $V_O$ が信号 $A_{x+}$ 、 $A_{x-}$ の電位と等しくなるようにした場合の差動増幅回路23の構成を示す回路図である。図5 (b) において、NチャネルMOSトランジスタ28、29のゲートはともに出力ノードN24に接続される。この場合は、図4 (a) の特性曲線L3上の点P3で表わされる。

【0031】

なお、信号 $A_{x+}$ 、 $A_{x-}$ は互いに相補な信号なので、 $A_{x+}$ の電位が最大値のときに信号 $A_{x-}$ の電位は最小値になり（点P1）、信号 $A_{x+}$ の電位が最小値のときに信号 $A_{x-}$ の電位は最大値になる（点P2）。信号 $A_{x+}$ 、 $A_{x-}$ は、点P3を中心として点P1、P2間を変動する。したがって、信号 $A_{x-}$ の電位振幅 $W_I$ に対する出力電位 $V_O$ の振幅 $W_{O1}$ は、信号 $A_{x-}$ の電位 $V_I$ が最小値（信号 $A_{x+}$ の電位が最大値）になる点P1における出力電位 $V_O$ と、信号 $A_{x-}$ の電位 $V_I$ が最大値（信号 $A_{x+}$ の電位が最小値）になる点P2における出力電位 $V_O$ との差になる。

【0032】

図4 (b) において、信号 $A_{x+}$ 、 $A_{x-}$ の基準電位 $V_{TT}$ は $V_{TTM}$ よりも高い値 $V_{TTH}$ である。特性曲線L4は、信号 $A_{x+}$ の電位をその最大値に固定した場合における、信号 $A_{x-}$ の電位 $V_I$ に対する出力電位 $V_O$ を示す曲線である。特性曲線L5は、信号 $A_{x+}$ の電位をその最小値に固定した場合における、信号 $A_{x-}$ の電位 $V_I$ に対する出力電位 $V_O$ を示す曲線である。したがって、信号 $A_{x-}$ の電位振幅 $W_I$ に対する出力電位 $V_O$ の振幅 $W_{O2}$ は、信号 $A_{x-}$ の電位 $V_I$ が最小値（信号 $A_{x+}$ の電位が最大値）になる点P4における出力電位 $V_O$ と、信号 $A_{x-}$ の電位 $V_I$ が最大値（信号 $A_{x+}$ の電位が最小値）になる点P5における出力電位 $V_O$ との差になる。この場合、信号 $A_{x+}$ 、 $A_{x-}$ の基準電位 $V_{TTM}$ は高すぎるため、出力電位 $V_O$ の振幅 $W_{O2}$ は図4 (a) に示した振幅 $W_{O1}$ に比べて小さく、差動増幅回路23の増幅率は低くなる。

【0033】



図4 (c) において、信号  $A_{x+}$ ,  $A_{x-}$  の基準電位  $V_{TT}$  は  $V_{TTM}$  よりも低い値  $V_{TTL}$  である。特性曲線  $L_6$  は、信号  $A_{x+}$  の電位をその最大値に固定した場合における、信号  $A_{x-}$  の電位  $V_I$  に対する出力電位  $V_O$  を示す曲線である。特性曲線  $L_7$  は、信号  $A_{x+}$  の電位をその最小値に固定した場合における、信号  $A_{x-}$  の電位  $V_I$  に対する出力電位  $V_O$  を示す曲線である。したがって、信号  $A_{x-}$  の電位振幅  $W_I$  に対する出力電位  $V_O$  の振幅  $W_O3$  は、信号  $A_{x-}$  の電位  $V_I$  が最小値（信号  $A_{x+}$  の電位が最大値）になる点  $P_6$  における出力電位  $V_O$  と、信号  $A_{x-}$  の電位  $V_I$  が最大値（信号  $A_{x+}$  の電位が最小値）になる点  $P_7$  における出力電位  $V_O$  との差になる。この場合、信号  $A_{x+}$ ,  $A_{x-}$  の基準電位  $V_{TTL}$  は低すぎるため、出力電位  $V_O$  の振幅  $W_O3$  は図4 (a) に示した振幅  $W_O1$  に比べて小さく、差動増幅回路 23 の増幅率は低くなる。

## 【0034】

図3に戻って、入力端子 1, 2 に入力される信号  $R_{x+}$ ,  $R_{x-}$  の電位は、通信機器間において異なる基準電位  $V_{TT}$  に対応するため、振幅のみが定められていて絶対値は定められていない場合が多い。したがって、コンデンサ 21, 22 によってその振幅成分のみが伝達された信号  $R_{x+}$ ,  $R_{x-}$  の基準電位  $V_{TT}$  を、初期化回路 24 によって差動増幅回路 23 の増幅特性が最適となる値  $V_{TTM}$  になるように調整する。

## 【0035】

初期化回路 24 は、抵抗素子 31, 32、NチャネルMOSトランジスタ 33, 34 および基準電位発生回路 35 を含む。抵抗素子 31 およびNチャネルMOSトランジスタ 33 は、NチャネルMOSトランジスタ 28 のゲートと基準電位発生回路 35 の出力ノードとの間に直列接続され、抵抗素子 32 およびNチャネルMOSトランジスタ 34 は、NチャネルMOSトランジスタ 29 のゲートと基準電位発生回路 35 の出力ノードとの間に直列接続される。NチャネルMOSトランジスタ 33, 34 のゲートはともにスケルチ信号  $S_Q$  を受ける。

## 【0036】

スケルチ信号  $S_Q$  が「H」レベルのときは、NチャネルMOSトランジスタ 33, 34 が導通し、基準電位発生回路 35 から出力された電位がNチャネルMO

Sトランジスタ33, 34および抵抗素子31, 32を介してNチャネルMOSトランジスタ28, 29のゲートに与えられる。一方、スケルチ信号SQが「L」レベルのときは、NチャネルMOSトランジスタ33, 34が非導通となり、入力端子1, 2に入力された信号Rx+, Rx-はコンデンサ21, 22を介してその振幅成分のみが差動増幅回路23に伝達される。したがって、非データ通信状態において、差動増幅回路23の入力信号Ax+, Ax-の電位が図4(a)の点P3に示される値になるように初期化され、データ通信状態において、入力信号Ax+, Ax-の電位と出力電位VOは点P3を中心として点P1, P2間を変動するように制御されるため、差動増幅回路23の増幅特性は最適となる。

## 【0037】

なお、NチャネルMOSトランジスタ33, 34はデータ通信状態では非導通になることによって、データ通信状態において基準電位発生回路35が差動増幅回路23に基準電位を与え続けて入力信号Ax+, Ax-の電位振幅を減衰させ、差動増幅回路23の動作マージンが低下するのが防止される。

## 【0038】

振幅判定回路25は、差動増幅回路23の出力電位VOの振幅が所定の電位振幅よりも大きい小さいかを判定し、出力電位VOの振幅が所定の電位振幅よりも大きいときは「0」、電位VOの振幅が所定の電位振幅以下であるときは「1」を表わす受信データ信号RDを出力する。

## 【0039】

したがって、レシーバ4に初期化回路24を設けたことによって、非データ通信状態において差動増幅回路23に所定の基準電位が与えられ、差動増幅回路23の増幅特性が最適となるように制御される。また、データ通信状態において基準電位発生回路35が差動増幅回路23から電氣的に切離されることによって、差動増幅回路23の動作マージンが低下するのが防止される。このため、非データ通信状態からデータ通信状態に迅速かつ安定に遷移することが可能な通信装置が実現できる。

## 【0040】

図6は、図1に示した受信PLL回路5の構成を示すブロック図である。図6において、この受信PLL回路5は、周波数比較回路41、位相比較回路42、チャージポンプ43、ループフィルタ44、初期化回路45、電圧制御発振器46、バッファ回路47を含む。

#### 【0041】

受信PLL回路5は、電圧制御発振器46の出力クロック信号の周波数および位相がレシーバ4の出力データ信号RDの周波数および位相と一致するように、電圧制御発振器46にフィードバック制御をかけて発振させる回路である。

#### 【0042】

周波数比較回路41は、レシーバ4の出力データ信号RDの周波数と電圧制御発振器46の出力クロック信号の周波数とを比較し、比較結果に応じたパルス幅の周波数差信号を出力する。位相比較回路42は、レシーバの出力データ信号RDの位相と電圧制御発振器46の出力クロック信号の位相を比較し、比較結果に応じたパルス幅の位相差信号を出力する。チャージポンプ43は、周波数比較回路41からの周波数差信号および、位相比較回路42からの位相差信号に応じた極性およびレベルの電流を出力する。ループフィルタ44は、チャージポンプ43の出力電流を積分して制御電圧VCを出力する。初期化回路45は、スケルチ信号SQが「H」レベルの場合に制御電圧VCを初期電圧VCRに設定する。電圧制御発振器46は、制御電圧VCに応じた周波数のクロック信号を出力する。バッファ回路47は、電圧制御発振器46の出力クロック信号をバッファリングし、クロック信号RCLKとして外部に出力する。

#### 【0043】

図7は、チャージポンプ43、ループフィルタ44および初期化回路45の構成を示す回路図である。図7において、チャージポンプ43は、定電流源51、54、PチャネルMOSトランジスタ52およびNチャネルMOSトランジスタ53を含む。定電流源51およびPチャネルMOSトランジスタ52は電源電位VDDのラインとノードN43との間に直列接続され、NチャネルMOSトランジスタ53および定電流源54はノードN43と接地電位GNDのラインとの間に直列接続される。PチャネルMOSトランジスタ52のゲートは周波数比較回

路 4 1 および位相比較回路 4 2 の出力信号  $\phi UP$  を受け、N チャンネル MOS トランジスタ 5 3 のゲートは周波数比較回路 4 1 および位相比較回路 4 2 の出力信号  $\phi DN$  を受ける。

【0044】

レシーバ 4 の出力データ信号 RD の周波数および位相と、電圧制御発振器 4 6 の出力クロック信号の周波数および位相とは、たとえばデータ信号 RD の 1 サイクル毎に比較される。レシーバ 4 の出力データ信号 RD に比べて電圧制御発振器 4 6 の出力クロック信号の周波数が低い場合および位相が遅れている場合は、周波数差および位相差に応じた時間だけ信号  $\phi UP$  が「L」レベルにされる。信号  $\phi UP$  が「L」レベルにされると P チャンネル MOS トランジスタ 5 2 が導通し、電源電位 VDD のラインから定電流源 5 1 および P チャンネル MOS トランジスタ 5 2 を介してノード N 4 3 に電流が流入する。レシーバ 4 の出力データ信号 RD に比べて電圧制御発振器 4 6 の出力クロック信号の周波数が高い場合および位相が進んでいる場合は、周波数差および位相差に応じた時間だけ信号  $\phi DN$  が「H」レベルにされる。信号  $\phi DN$  が「H」レベルにされると N チャンネル MOS トランジスタ 5 3 が導通し、ノード N 4 3 から P チャンネル MOS トランジスタ 5 3 および定電流源 5 4 を介して接地電位 GND のラインに電流が流出する。

【0045】

ループフィルタ 4 4 は、抵抗素子 5 5 およびコンデンサ 5 6 を含む。抵抗素子 5 5 はノード N 4 3 とノード N 4 4 との間に接続され、コンデンサ 5 6 はノード N 4 4 と接地電位 GND のラインとの間に接続される。信号  $\phi UP$  が「L」レベルのときは、電源電位 VDD のラインから定電流源 5 1、P チャンネル MOS トランジスタ 5 2 および抵抗素子 5 5 を介してキャパシタ 5 6 に電流が流入し、キャパシタ 5 6 が充電される。信号  $\phi DN$  が「H」レベルのときは、キャパシタ 5 6 から抵抗素子 5 5、P チャンネル MOS トランジスタ 5 3 および定電流源 5 4 を介して接地電位 GND のラインに電流が流出し、キャパシタ 5 6 が放電される。キャパシタ 5 6 の端子電圧は制御電圧 VC とされる。

【0046】

初期化回路 4 5 は、抵抗素子 5 7、60、P チャンネル MOS トランジスタ 5 8

、NチャネルMOSトランジスタ59およびインバータ61を含む。抵抗素子57およびPチャネルMOSトランジスタ58は、電源電位VDDのラインとノードN45との間に直列接続され、NチャネルMOSトランジスタ59および抵抗素子60は、ノードN45と接地電位GNDのラインとの間に直列接続される。スケルチ信号SQは、インバータ61を介してPチャネルMOSトランジスタ58のゲートに入力されるとともに、NチャネルMOSトランジスタ59のゲートに直接入力される。

## 【0047】

スケルチ信号SQが「L」レベルの場合は、Pチャネルトランジスタ58およびNチャネルトランジスタ59が非導通となり、ループフィルタ44の出力制御電圧VCが電圧制御発振器46にそのまま伝達される。スケルチ信号SQが「H」レベルの場合は、Pチャネルトランジスタ58およびNチャネルトランジスタ59が導通し、制御電圧VCは電源電圧VDDを抵抗素子57、60によって分圧した初期電圧VCR（たとえば、 $VDD/2$ ）にされる。

## 【0048】

電圧制御発振器46は、出力制御電圧VCに応じた周波数のクロック信号をバッファ回路47に出力するとともに周波数比較回路41および位相比較回路42に出力する。制御電圧VCが高くなった場合は電圧制御発振器46の出力クロック信号の周波数は高くなり、制御電圧VCが低くなった場合は電圧制御発振器46の出力クロック信号の周波数は低くなる。

## 【0049】

したがって、この受信PLL回路5は、電圧制御発振器46の出力クロック信号の周波数および位相と、レシーバ4の出力データ信号RDの周波数および位相とを比較して、電圧制御発振器46の出力クロック信号の周波数が低い場合および位相が遅れている場合は、出力クロック信号の周波数を高くするように動作する。また、電圧制御発振器46の出力クロック信号の周波数および位相と、レシーバ4の出力データ信号RDの周波数および位相とをして、電圧制御発振器46の出力クロック信号の周波数が高い場合および位相が進んでいる場合は、出力クロック信号の周波数を低くするように動作する。この結果、受信PLL回路5が

ら出力されるクロック信号  $R \times CLK$  は、レシーバ 4 の出力データ信号  $RD$  と同じ周波数および位相になるように調整される。

#### 【0050】

従来の通信装置では、受信 PLL 回路 5 に初期化回路 45 が設けられていなかったため、データ信号  $RD$  が入力されない非データ通信状態においてはループフィルタ 44 の出力制御電圧  $VC$  の値が不安定になってしまい、電圧制御発振器 46 の出力クロック信号の周波数および位相が不安定になっていた。また、電源が入っていない状態ではループフィルタ 44 の出力制御電圧  $VC$  は 0 V まで下がるので、電源が投入されて受信 PLL 回路 5 が動作を開始するときは、その出力制御電圧  $VC$  は 0 V から徐々に上げられて所望の電圧に到達していた。このため、受信 PLL 回路 5 の出力クロック信号  $R \times CLK$  の周波数および位相がレシーバ 4 の出力データ信号  $RD$  の周波数および位相に一致するまでの時間が長かった。

#### 【0051】

しかし、受信 PLL 回路 5 に初期化回路 45 を設けたことによって、非データ通信状態において電圧制御発振器 46 に所定の制御電圧  $VC$  が与えられ、電圧制御発振器 46 の出力クロック信号の周波数および位相が不安定になるのが防止される。また、非データ通信状態からデータ通信状態に遷移するときに、受信 PLL 回路 5 の出力クロック信号  $R \times CLK$  の周波数および位相が受信データ信号  $RD$  の周波数および位相に一致するまでの時間が短縮される。したがって、非データ通信状態からデータ通信状態に迅速かつ安定に遷移することが可能な通信装置が実現できる。

#### 【0052】

##### 〔実施の形態 2〕

図 8 は、この発明の実施の形態 2 による通信装置の受信 PLL 回路 71 の構成を示すブロック図であって、図 6 と対比される図である。図 8 の受信 PLL 回路 71 を参照して、図 6 の受信 PLL 回路 5 と異なる点は、初期化回路 45 が削除され、切換回路 72 が追加されている点である。

#### 【0053】

図 8 において、切換回路 72 は、レシーバ 4 の出力データ信号  $RD$  および送信

P L L 回路 1 1 の出力クロック信号  $T \times C L K$  を受け、スケルチ信号  $S Q$  が「L」レベルのときはレシーバ 4 の出力データ信号  $R D$  を選択し、スケルチ信号  $S Q$  が「H」レベルのときは送信 P L L 回路 1 1 の出力クロック信号  $T \times C L K$  を選択し、選択した信号を周波数比較回路 4 1 および位相比較回路 4 2 に出力する。なお、この場合は、スケルチ信号  $S Q$  が「H」レベルのときでも送信 P L L 回路 1 1 を活性化しておく。

## 【 0 0 5 4 】

したがって、この実施の形態 2 では、非データ通信状態においてレシーバ 4 の出力データ信号  $R D$  に代わって送信 P L L 回路 1 1 の出力クロック信号  $T \times C L K$  を周波数比較回路 4 1 および位相比較回路 4 2 に入力するので、非データ通信状態においても制御電圧  $V C$  を一定値に保つことができ、電圧制御発振器 4 6 の出力クロック信号の周波数および位相が不安定になるのを防止することができる。また、非データ通信状態からデータ通信状態に遷移するときに、受信 P L L 回路 7 1 の出力クロック信号の周波数および位相がレシーバ 4 の出力データ信号  $R D$  の周波数および位相に一致するまでの時間が短縮される。したがって、非データ通信状態からデータ通信状態に迅速かつ安定に遷移することが可能な通信装置が実現できる。

## 【 0 0 5 5 】

## 〔実施の形態 2 の変更例〕

図 9 は、この発明の実施の形態 2 の変更例による通信装置の受信 P L L 回路 8 1 の構成を示す回路図であって、図 8 と対比される図である、図 9 の受信 P L L 回路 8 1 を参照して、図 8 の受信 P L L 回路 7 1 と異なる点は、位相比較回路 4 2 に入力される信号の一方が、切換回路 7 2 の出力信号に代わって、レシーバ 4 の出力データ信号  $R D$  に置換されている点である。

## 【 0 0 5 6 】

図 9 において、切換回路 7 2 は、レシーバ 4 の出力データ信号  $R D$  および送信 P L L 回路 1 1 の出力クロック信号  $T \times C L K$  を受け、スケルチ信号  $S Q$  が「L」レベルのときはレシーバ 4 の出力データ信号  $R D$  を選択し、スケルチ信号  $S Q$  が「H」レベルのときは送信 P L L 回路 1 1 の出力クロック信号  $T \times C L K$  を選択

し、選択した信号を周波数比較回路 4 1 に出力する。

【0057】

したがって、この実施の形態 2 の変更例では、非データ通信状態においてレシーバ 4 の出力データ信号 RD に代わって送信 PLL 回路 1 1 の出力クロック信号 TxCLK を周波数比較回路 4 1 に入力することで、電圧制御発振器 4 6 の出力クロック信号の周波数および位相が不安定になるのが防止される。また、非データ通信状態からデータ通信状態に遷移するときに、受信 PLL 回路 8 1 の出力クロック信号の周波数および位相がレシーバ 4 の出力データ信号 RD の周波数および位相に一致するまでの時間が短縮される。したがって、非データ通信状態からデータ通信状態に迅速かつ安定に遷移することが可能な通信装置が実現できる。

【0058】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0059】

【発明の効果】

以上のように、この発明に係る通信装置では、受信した第 1 および第 2 のクロック信号の電位振幅が予め定められた値よりも大きい場合は、データ通信状態であると判定して第 1 の信号を出力し、第 1 および第 2 のクロック信号の電位振幅が予め定められた値以下である場合は、非データ通信状態であると判定して第 2 の信号を出力するスケルチ検出回路と、スケルチ検出回路から第 2 の信号が出力された場合は通信装置を初期化する初期化回路とが設けられる。したがって、非データ通信状態において、スケルチ検出回路から出力された第 2 の信号に応じて初期化回路が通信装置を初期化するので、非データ通信状態からデータ通信状態に迅速かつ安定に遷移することができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による通信装置の構成を示すブロック図である。



【図 2】 図 1 に示した通信装置の通信方式を説明するための波形図である。

【図 3】 図 1 に示したレシーバの構成を示す回路図である。

【図 4】 図 3 に示した差動増幅回路の増幅特性を説明するための図である。

【図 5】 図 3 に示した差動増幅回路の増幅特性を説明するための他の図である。

【図 6】 図 1 に示した受信 PLL 回路の構成を示すブロック図である。

【図 7】 図 6 に示したチャージポンプ、ループフィルタおよび初期化回路の構成を示す回路図である。

【図 8】 この発明の実施の形態 2 による受信 PLL 回路の構成を示すブロック図である。

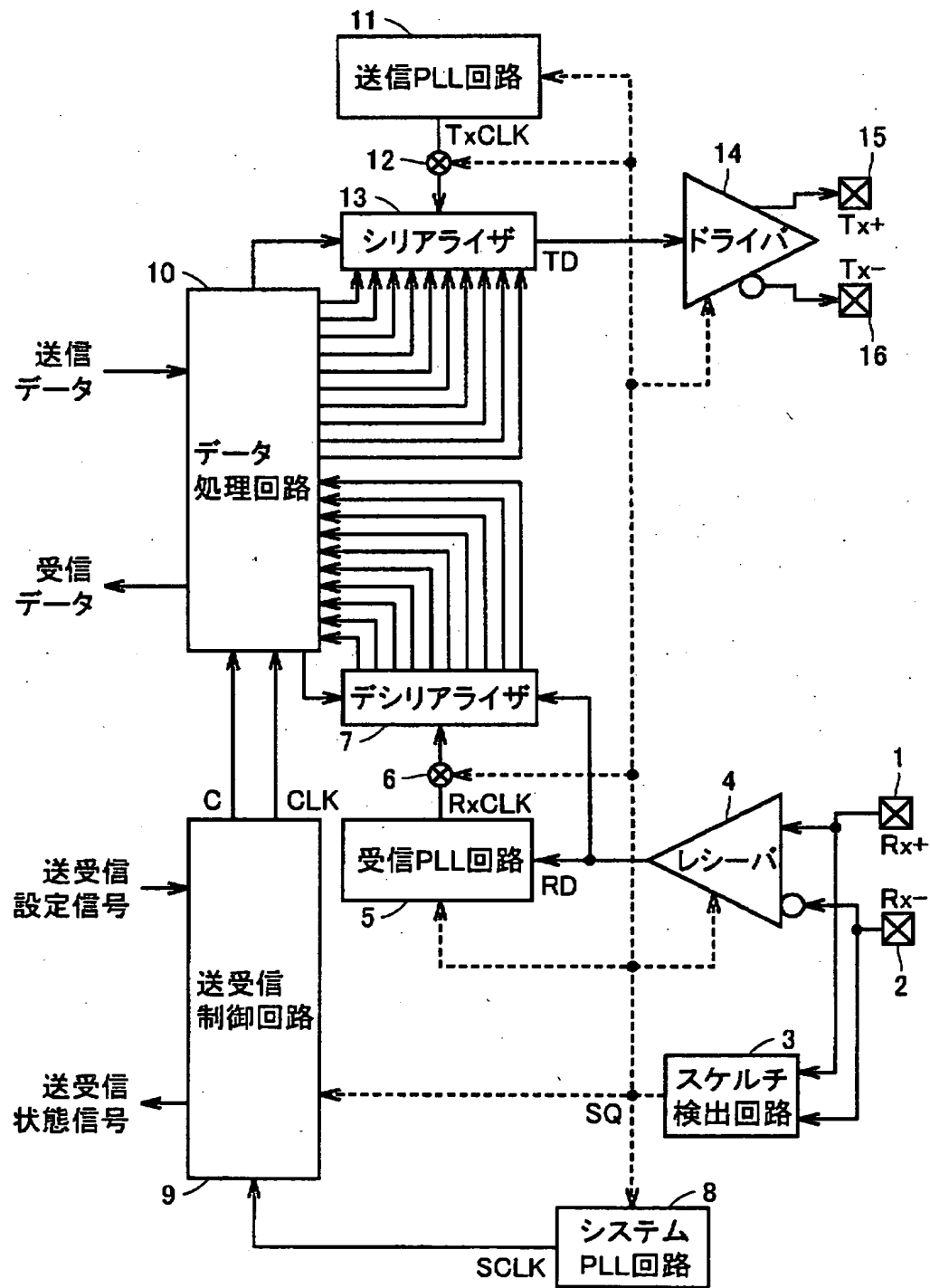
【図 9】 実施の形態 2 の変更例を示すブロック図である。

【符号の説明】

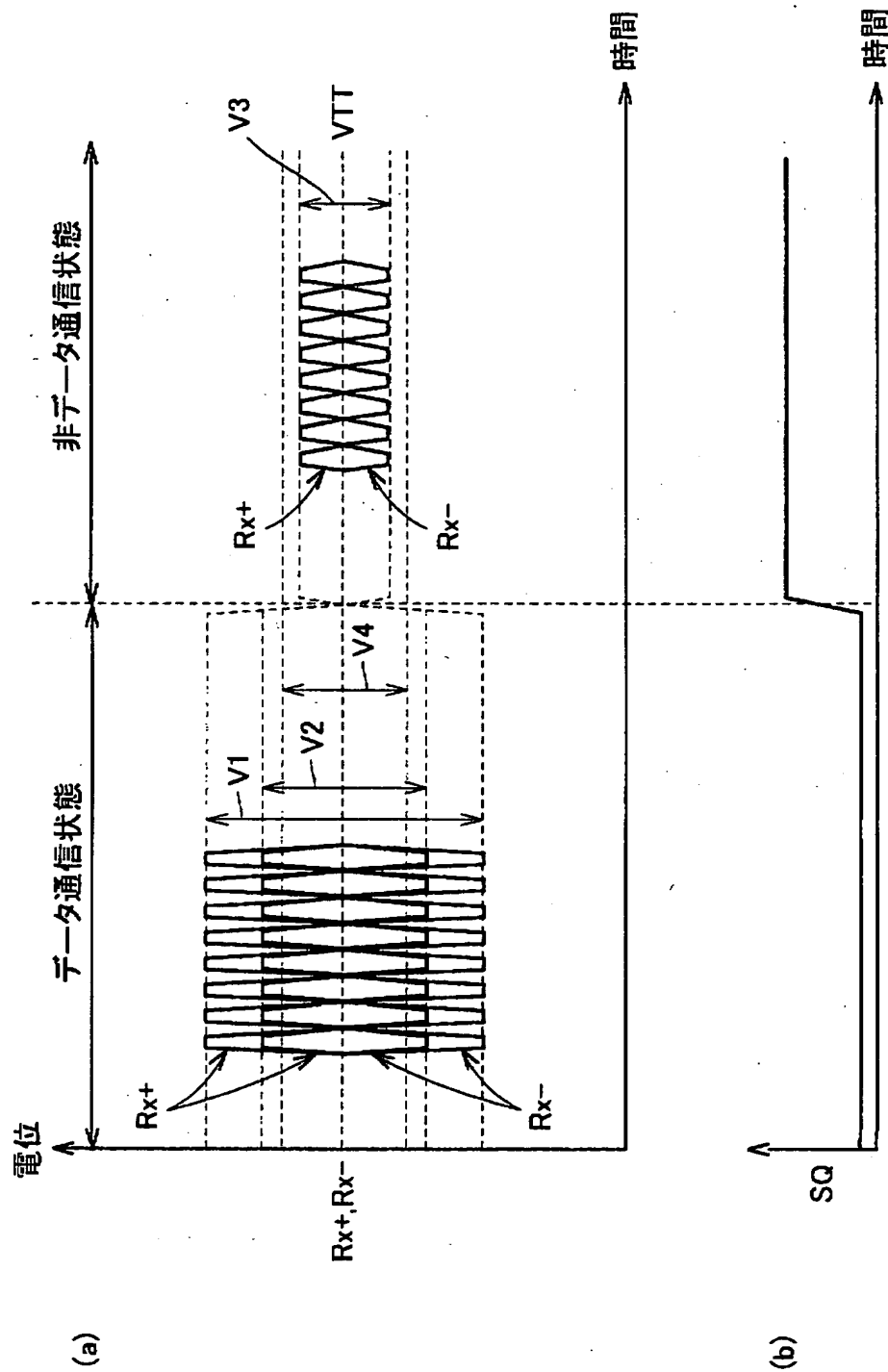
1, 2 入力端子、3 スケルチ検出回路、4 レシーバ、5, 71, 81 受信 PLL 回路、6, 12 スイッチ回路、7 デシリアライザ、8 システム PLL 回路、9 送受信制御回路、10 データ処理回路、11 送信 PLL 回路、13 シリアライザ、14 ドライバ、15, 16 出力端子、21, 22, 56 コンデンサ、23 差動増幅回路、24, 45 初期化回路、25 振幅判定回路、26, 27, 52, 58 Pチャネル MOS トランジスタ、28～30, 33, 34, 53, 59 Nチャネル MOS トランジスタ、31, 32, 55, 57, 60 抵抗素子、35 基準電位発生回路、41 周波数比較回路、42 位相比較回路、43 チャージポンプ、44 ループフィルタ、46 電圧制御発振器、47 バッファ回路、51, 54 定電流源、61 インバータ、72 切換回路。

【書類名】 図面

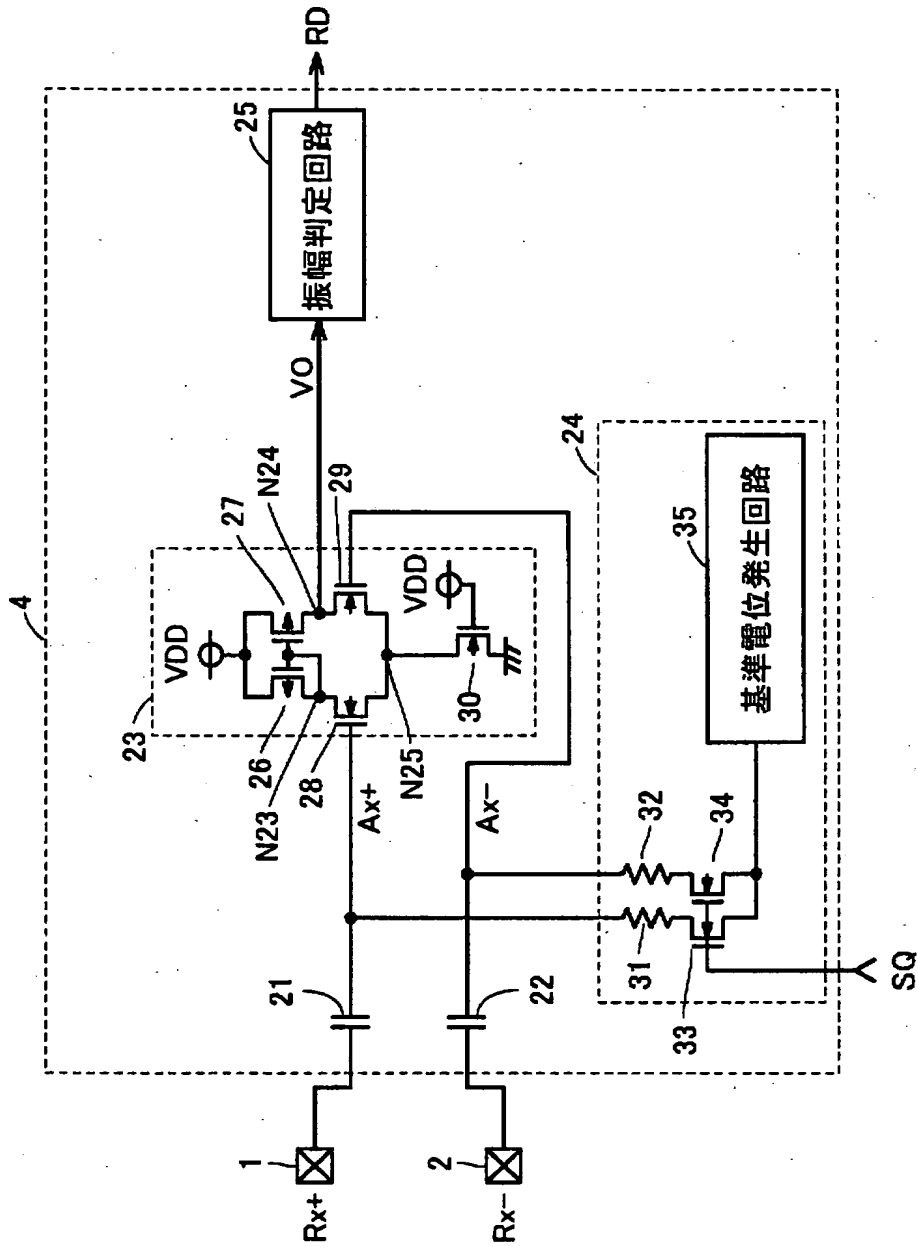
【図 1】



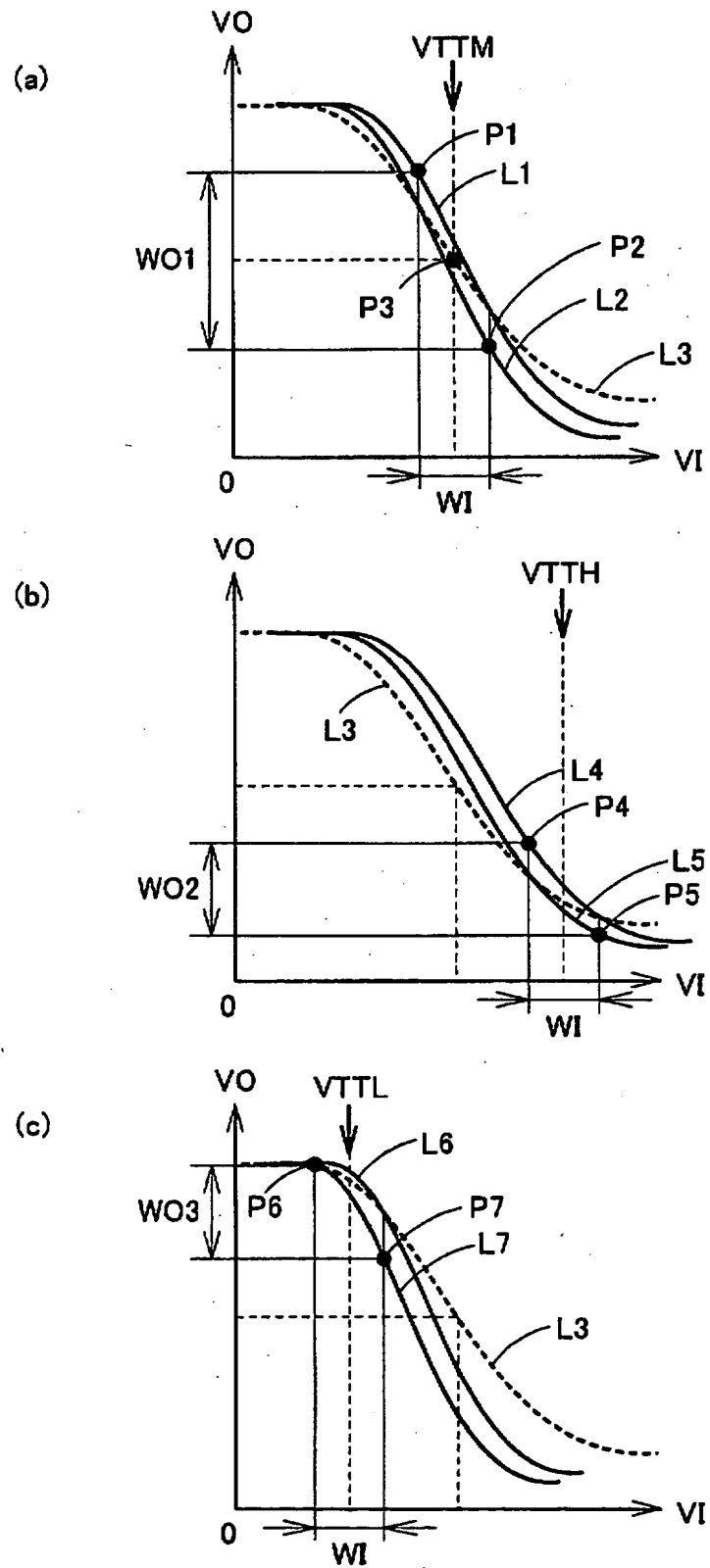
【図 2】



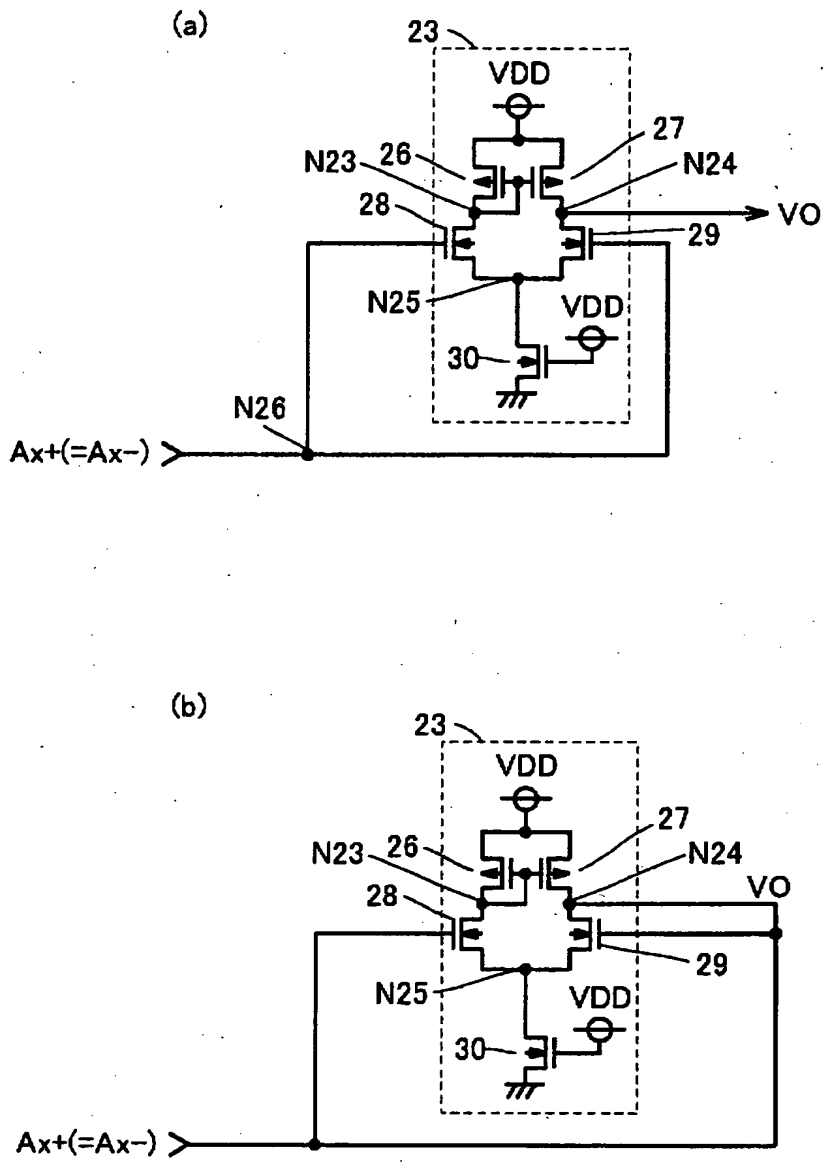
【図 3】



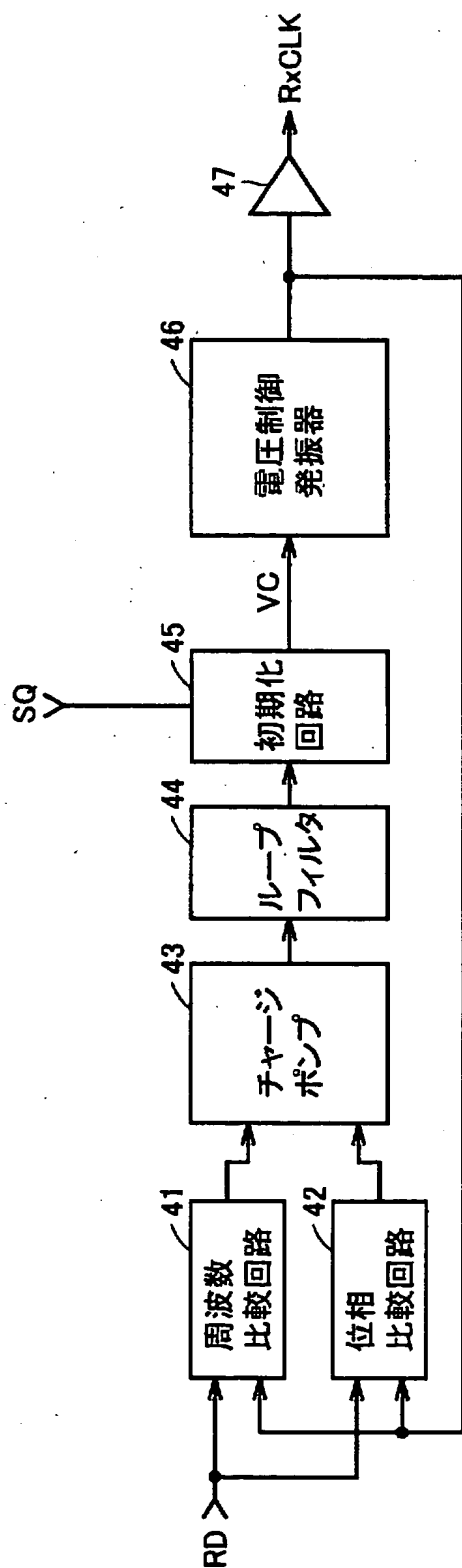
【図 4】



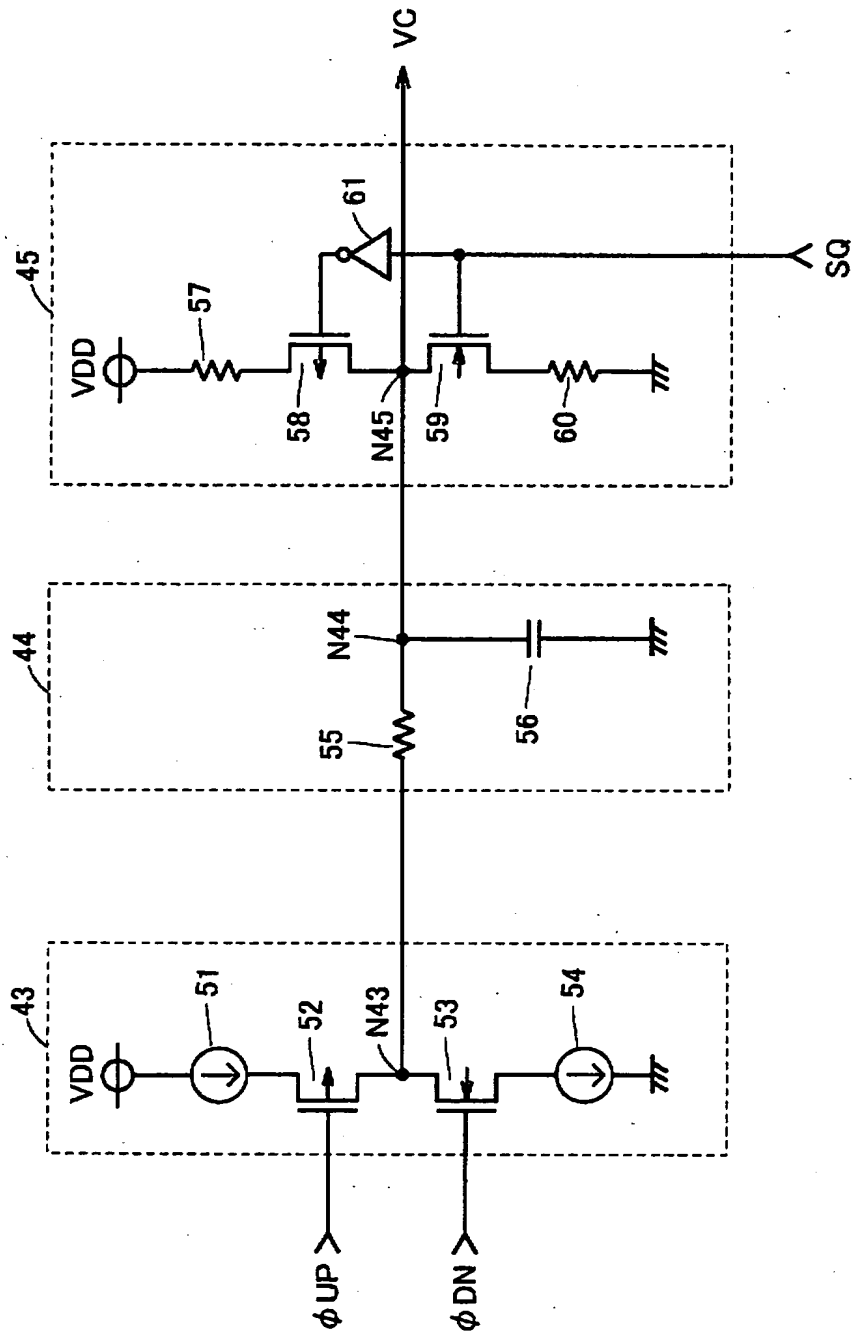
【図 5】



【図 6】

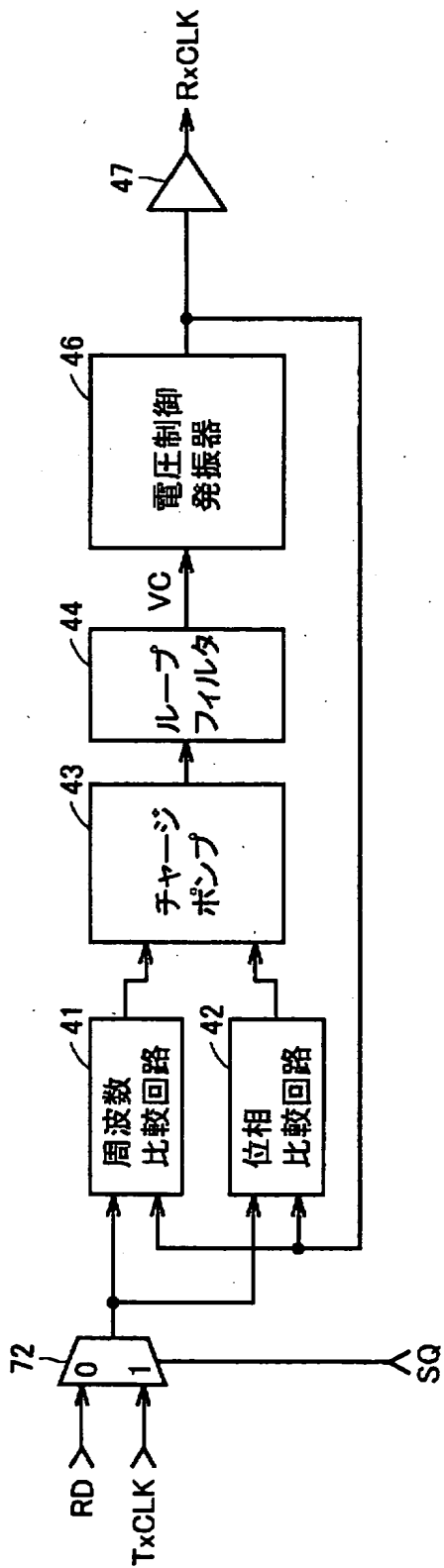


【図 7】



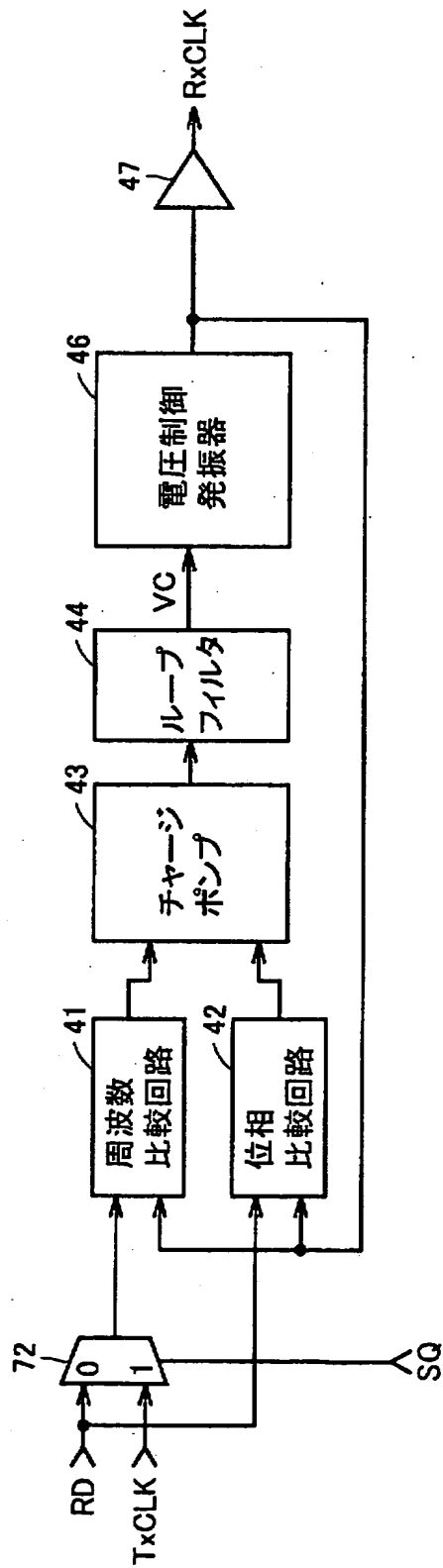


【図 8】



71

【図9】



【書類名】 要約書

【要約】

【課題】 非データ通信状態からデータ通信状態に迅速かつ安定に遷移することが可能な通信装置を提供する。

【解決手段】 この通信装置のレシーバ4は、差動増幅回路23と、互いに相補な2つの入力クロック信号 $R_{x+}$ 、 $R_{x-}$ の振幅成分のみを差動増幅回路23の2つのNチャネルMOSトランジスタ28、29のゲートに与えるコンデンサ21、22と、非データ通信状態時に2つのNチャネルMOSトランジスタ28、29のゲートに所定の基準電位を与える初期化回路24とを備える。したがって、非データ通信状態からデータ通信状態に迅速かつ安定に遷移することができる。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社